

Б. Я. Штейнберг, Д. В. Дубров, А. С. Рошаль,  
Р. Б. Штейнберг

## Отображение высокоуровневых программ на кластеры с ПЛИС-ускорителями

Аннотация. Рассмотрен подход автоматической генерации программ для параллельно-конвейерных вычислительных архитектур, в основе которого лежит использование генератора HDL-описаний конфигураций ПЛИС из высокоуровневых программ на языке C.

*Ключевые слова и фразы:* HDL, конвейер, автоматическое распараллеливание.

### Введение

ПЛИС-ускорители, как правило, используют для конвейерных вычислений. Конвейерные вычислительные системы стоят в стороне от известной классификации параллельных компьютеров Флинна: MIMD или SIMD. Конвейерные компьютеры (Pipeline) иногда выделяют в класс MISD (Many Instructions, Single Data). Эти компьютеры эффективны на многих таких задачах, на которых не эффективны или слабо эффективны компьютеры архитектур MIMD и SIMD.

Конвейерные вычислители используются во многих программно-аппаратных комплексах и показывают на некоторых задачах производительность значительно более высокую (до двух–трех порядков!), чем универсальные процессоры. Существенный прогресс в развитии конвейерных вычислителей внесли технологии программируемых логических интегральных схем (ПЛИС). Традиционно, конвейерные вычислители используются в программно-аппаратных комплексах. Для применения к более широкому классу программ разрабатываются вычислители с архитектурой программируемого конвейера или реконфигурируемые конвейеры. Узкое место таких вычислителей – долгое время перепрограммирования ПЛИС. В США

---

Работа выполнена при финансовой поддержке Министерства образования и науки Российской Федерации.

известны работы К. Bondalapati [8]. Для ускорения перепрограммирования ПЛИС используется специальный буфер, в котором хранится следующая конфигурация. В РФ эффективные компьютеры с архитектурой программируемого конвейера разрабатываются в НИИ МВС ЮФУ и дают ускорение на некоторых задачах на 3 порядка [2]. Для быстроты перенастройки в архитектуре перепрограммируются только связи между вычислительными устройствами. В. В. Корнеев позиционирует свою программируемую архитектуру тоже как конвейерную [4]. В этой архитектуре в решетке вычислительных ядер можно выделять конвейерные конфигурации.

Кластер, узлы которого имеют программируемые ПЛИС-ускорители собран в ИПМ РАН им. М. В. Келдыша под руководством проф. А. О. Лациса. Для разработки программ предлагается язык Автокод-ПЛИС, который выше уровнем, чем VHDL, но остается на уровне ассемблера. По архитектурам параллельно-конвейерных вычислительных систем следует также отметить [3, 5, 7].

Слабое место конвейерных вычислителей — средства разработки программ.

В данной работе описывается проект, разрабатываемый на мехмате ЮФУ на основе распараллеливающей системы ДВОР (Диалоговый высокоуровневый оптимизирующий распараллеливатель программ). Этот проект ориентирован на расширение множества разработчиков и пользователей прикладных программ для параллельно-конвейерных суперкомпьютеров. Основная идея проекта связана с созданием генератора VHDL-кода из внутреннего представления распараллеливающей системы.

## 1. Отображение программ на ПЛИС-ускорители

Ускорители следует применять к долго считаемым фрагментам программ. Долго вычисляемые фрагменты кода содержат либо циклические структуры, либо вызовы функций, либо и то, и другое. Вызовы функций требуют больших объемов вычислений, если они рекурсивные, либо содержат структуры циклов, либо, содержат вызовы других функций, которые, в конце концов, рекурсивные или содержат структуры циклов.

В данной работе будем рассматривать ускорение фрагментов кода, содержащих структуры программных циклов. Большинство идей ускорения структур циклов могут иллюстрироваться для гнезд циклов — частного случая структур. Рассмотрим гнездо из  $n$  вложенных циклов:

```

for (I1 = L1; I1 <= R1; ++ I1)
  for (I2 = L2; I2 <= R2; ++ I2)
    ...
    for (In = Ln; In <= Rn; ++ In)
      {
        LOOPBODY(I1, I2, ..., In);
      }

```

Конвейеризуется самое глубоко вложенное гнездо циклов. Счетчики более высоко вложенных циклов могут рассматриваться как параметры, определяющие узел кластера, на ускорителе которого должен выполняться самый глубоко вложенный цикл (этот же цикл для разных значений счетчиков внешних циклов выполняется на разных узлах). Отображение гнезд циклов на многоконвейерную (параллельно-конвейерную) архитектуру описано в работах Р. Б. Штейнберга, одного из участников группы разработчиков проекта, и в начальной стадии реализовано в системе ДВОР.

Основная идея проекта для кластерных суперкомпьютеров, у которых узлы имеют ПЛИС-ускорители, следующая. Разрабатываемая система получает на входе программу языка Си, содержащую гнездо циклов. Гнездо циклов преобразуется к виду, удобному для отображения на параллельно-конвейерную архитектуру распараллеливающей системой, которая является развитием имеющейся системы ДВОР. Самый вложенный цикл гнезда преобразуется в VHDL-описание конвейера конвертором, который является развитием имеющегося конвертора С2HDL. ПЛИС-ускоритель прожигается полученной схемой. В исходном гнезде циклов самый вложенный цикл заменяется обращением к ПЛИС-ускорителю, на котором этот цикл будет конвейерно вычисляться.

## 2. Конвертор С2HDL

На данный момент конвертор поддерживает подмножество входных программ на языке С со следующими ограничениями:

- Целочисленная арифметика над значениями типа `int`.

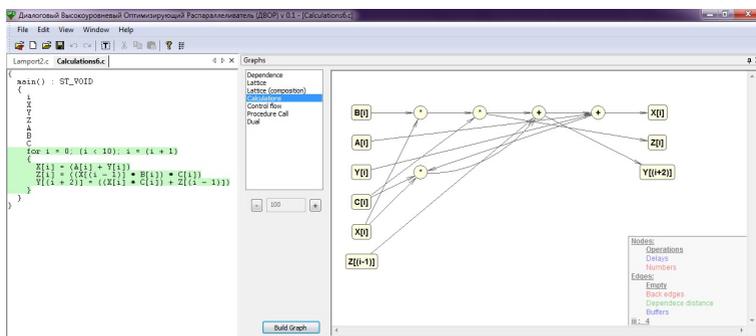


Рис. 1. Визуализация графа вычислений в Диалоговом высокоуровневом оптимизирующем распараллеливателе версии 1

- Одномерные конвейеризуемые циклы с операторами присваивания.
- Вхождения переменных, содержащие регулярные линейные индексные выражения.

В результате работы конвертор генерирует VHDL-код для синхронной конвейерной вычислительной схемы, при необходимости предусматривающей наличие буферов на входах операций и начальную загрузку конвейера. Входные данные схемы подаются на ее входные разъемы из внешнего источника потоком, синхронизируемым с работой схемы. Аналогично, результаты вычислений снимаются с выходов устройства и поступают потоком на внешний приемник. В качестве операндов используются знаковые значения заданной ширины (тип «signed (N downto 0)»), в качестве операций — встроенные операции «+», «-» и т. д. языка VHDL, переопределенные в стандартных пакетах для данного типа.

Промежуточной структурой между внутренним представлением распараллеливающей системы и HDL-описанием конвейера является граф вычислений. На рисунке 1 приведен граф вычислений, автоматически построенный в системе ДВОР.

### 3. ДВОР (Диалоговый высокоуровневый оптимизирующий распараллеливатель программ)

Распараллеливающая система ДВОР обладает следующими преимуществами, по сравнению с другими:

- (1) диалоговый режим оптимизации;
- (2) автоматический анализ диапазонов данных
- (3) автоматический расчет задержек в многоконвейерной вычислительной системе
- (4) генерация оптимизированного кода не только на вычислительные системы с общей памятью, но и на системы с распределенной памятью.
- (5) передовые средства анализа и преобразования высокоуровневых программ, превосходящие аналоги современных оптимизирующих компиляторов и распараллеливающих систем:
  - (a) решетчатые графы
  - (b) SSA-формы массивов
  - (c) символьный анализ
  - (d) методы распараллеливания рекуррентных циклов
  - (e) новые более тонкие методы преобразования циклов
  - (f) методы тестирования преобразований программ

Более высокое качество генерации HDL-описаний конвертором С2HDL будет достигаться за счет использования ДВОР. А именно, генерация по входному файлу языка Си целого семейства эквивалентных HDL-описаний (а не одного), из которого можно выбирать оптимальное для каждого конкретного случая (в зависимости от ограничений по быстродействию, площади на кристалле, и др.)

В существующих системах автоматической оптимизации и распараллеливания программ параметры оптимизации пользователь компилятора должен задавать перед их запуском (директивы компилятора). Такой подход во многих случаях не может дать положительный результат, поскольку пользователь заранее не знает, что система может сделать автоматически, а в чем следует системе дать указания. Сложно также заранее указать значения диапазонов переменных, поскольку точное определение диапазонов всех переменных может быть

трудоемко и, во многих случаях, невозможно. Предполагается на основе анализа (в т.ч. и символьного) формулировать вопросы пользователю именно о тех немногих переменных, диапазоны значений которых определяют возможность выполнения необходимых преобразований или принятия конкретных конструкторских решений. Такой подход уже частично реализован в системе ДВОР и представляется продуктивным и для полуавтоматического формирования VHDL-описаний из высокоуровневой программы и для полуавтоматического распараллеливания программ. Подобные подходы пока нигде в мире не используются.

## Заключение

Результаты работ данного проекта направлены на существенное упрощение доступа к параллельно-конвейерным системам, в результате чего:

- (1) должен расширяться класс прикладных задач для этой области вычислений;
- (2) должно расширяться множество пользователей;
- (3) должно сократиться время разработки параллельно-конвейерных программ.

## Список литературы

- [1] Дубров Д. В., Штейнберг Р. Б. Конвертер C2HDL с языка C в язык описания электронных схем : Свидетельство о государственной регистрации программы для ЭВМ № 2011617950, 11 октября 2011 г. ↑
- [2] Каляев А. В., Левин И. И. Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. М. : «Янус-К», 2003. — 380 с. ↑
- [3] Каляев И. А., Левин И. И., Семерников Е. А., Шмойлов В. И. Реконфигурируемые мультikonвейерные вычислительные структуры / ред. Каляев И. А. Изд. 2-е, перераб. и доп. Ростов-н/Д : Издательство ЮНЦ РАН, 2009. — 344 с. ↑
- [4] Корнеев В. В. Архитектура вычислительных систем с программируемой структурой. Новосибирск : Наука, 1985. — 168 с. ↑
- [5] Самофалов К. Г., Луцкий Г. М. Основы теории многоуровневых конвейерных вычислительных систем. М. : Радио и связь, 1989. — 272 с. ↑

- [6] Штейнберг Б. Я., Штейнберг Р. Б., Морылев Р. И., Петренко В. В., Полуян С. В., Штейнберг О. Б., Баглий А. П., Нис З. Я., Скиба И. С., Юрушкин М. В., Шаповалов В. Н., Алымова Е. В., Кравченко Е. Н., Гуда С. А. Диалоговый высокоуровневый оптимизирующий распараллеливатель программ : Свидетельство о государственной регистрации программы для ЭВМ № 2011617205, 15 сентября 2011 г. ↑
- [7] Яджак М. С. *Высокопараллельные алгоритмы и методы для решения задач массовых арифметических и логических вычислений*, Диссертация на соискание ученой степени д.ф.-м.н., Институт прикладных проблем механики и математики, Львов, 2009. — 298 с. (на украинском языке) ↑
- [8] Bondalapati K. *Modeling and Mapping for Dynamically Reconfigurable Hybrid Architecture*, Ph.D. Thesis, University of Southern California, August, 2001. — x + 184 p. ↑

*Об авторах:*



### **Борис Яковлевич Штейнберг**

Решил проблему: (Meister E., Speck F.-O. Some multi-dimensional Winer–Hopf equations with applications of Pure Mathematics to mechanics, Kozubnik, Poland, 12–17 September, 1977).  
Инициатор и руководитель проекта ОРС [www.ops.rsu.ru](http://www.ops.rsu.ru),  
д.т.н., зав. каф., зав. лаб. Ангстрем–ЮФУ.

*e-mail:*

[borsteinb@mail.ru](mailto:borsteinb@mail.ru)



### **Денис Владимирович Дубров**

Кандидат физико-математических наук, доцент кафедры информатики и вычислительного эксперимента мехмата ЮФУ.

*e-mail:*

[dubrov@sfedu.ru](mailto:dubrov@sfedu.ru)



### **Александр Сергеевич Рошалъ**

Разработчик конвертера с языка С в HDL на основе «Диалогового высокоуровневого оптимизирующего распараллеливателя». Создатель комплекса ПОЭМА для анализа напряженности электромагнитного поля. Ведущий программист высоконагруженных проектов компании [www.tabor.ru](http://www.tabor.ru). Аспирант мехмата ЮФУ.

*e-mail:*

[teacplusplus@gmail.com](mailto:teacplusplus@gmail.com)



### Роман Борисович Штейнберг

Кандидат физико-математических наук, старший преподаватель кафедры алгебры и дискретной математики мехмата ЮФУ. Начальник группы разработчиков программного обеспечения для многопроцессорных систем ОАО «Ангстрем».

*e-mail:*

[romanofficial@yandex.ru](mailto:romanofficial@yandex.ru)

*Образец ссылки на эту публикацию:*

Б. Я. Штейнберг, Д. В. Дубров, А. С. Рошаль, Р. Б. Штейнберг. *Отображение высокоуровневых программ на кластеры с ПЛИС-ускорителями* // Программные системы: теория и приложения : электрон. научн. журн. 2013?. Т. 4?, № 4(17)?, с.??-??.

*URL:*

<http://psta.psiras.ru/read/>

B.Ya.Steinberg, D. V. Dubrov, A.S. Roshal, R. B. Steinberg. *Mapping High Level Programs onto Clusters with FPGA Accelerators.*

ABSTRACT. An approach to automatic program generating for parallel-pipeline computational architectures, based on using the HDL description FPGA configuration generator from high level C programs, is considered (*in Russian*).

*Key Words and Phrases:* HDL, pipeline, automatic parallelizing.